

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-042163
(43)Date of publication of application : 13.02.1998

(51)Int.CI. H04N 3/32
H04N 3/23

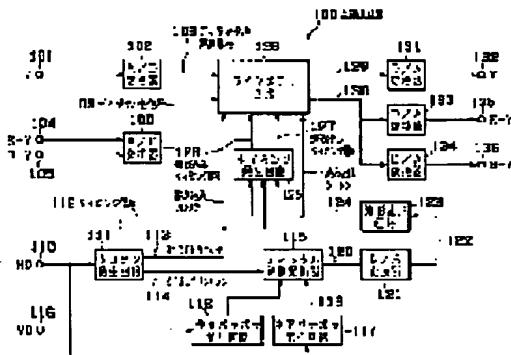
(21)Application number : 08-197749 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 26.07.1996 (72)Inventor : KAJIWARA MIKIO
OCHIAI MASASHI

(54) DISTORTION CORRECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a distortion correction circuit in which distortion is corrected without complicated design for component constants.

SOLUTION: An A/D-converted luminance signal 103 and a color difference signal 109 are stored in a line memory circuit 128 and in the case of reading the stored signal, a read clock 124 is used to modulate the read speed in a parabolic way by a horizontal period and a vertical period and the modulated digital signal is D/A-converted into analog luminance and color difference signals so as to correct inner pin-cushion distortion or inner-barrel distortion. Since distortion is corrected by modulating the video signal itself through digital processing, no circuit drift as in conventional analog correction is caused and complicated analog circuit design is not needed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-42163

(43)公開日 平成10年(1998)2月13日

(51)Int.Cl.⁶

H 04 N 3/32
3/23

識別記号

府内整理番号

F I

H 04 N 3/32
3/23

技術表示箇所

Z

審査請求 未請求 請求項の数4 OL (全8頁)

(21)出願番号 特願平8-197749

(22)出願日 平成8年(1996)7月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 梶原 幹夫

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

(72)発明者 落合 政司

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

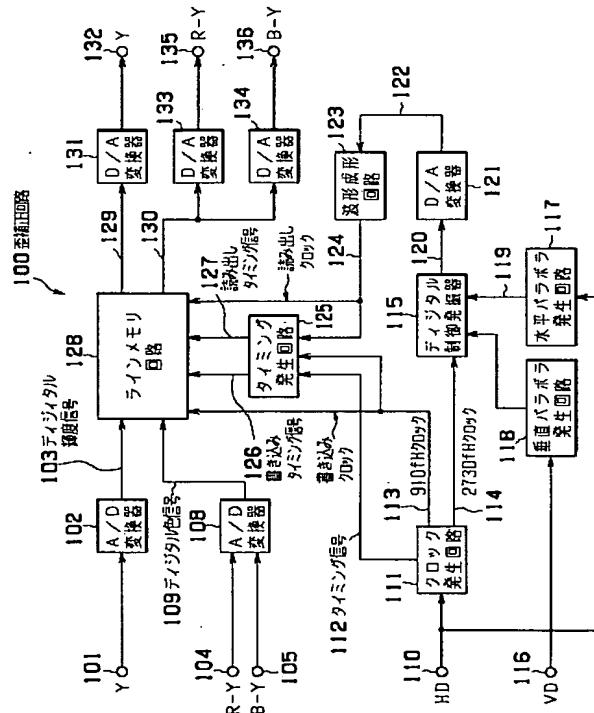
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 歪補正回路

(57)【要約】

【課題】 複雑な部品定数の設計を要することなく、歪補正することが可能な歪補正回路を提供すること。

【解決手段】 A/D変換された輝度信号103と色差信号109をラインメモリ回路128にメモリし、メモリした信号を読み出す際には、読み出しクロック124を用いて、その読み出し速度を水平周期と垂直周期でパラボラ状に変調し、変調されたデジタル信号をD/A変換してアナログの輝度信号と色差信号に戻し、インナーピンクション歪或いはインナーバレル歪を補正する。デジタル処理によって映像信号自身に変調をかけることで歪補正するので、従来のようなアナログ補正により発生する回路ドリフトがなく、しかも繁雑なアナログ回路設計の必要がない。



【特許請求の範囲】

【請求項1】アナログ方式の輝度信号及び色差信号を入力し、それぞれデジタル信号に変換するA/D変換手段と、

A/D変換された信号を記憶するメモリ手段と、前記メモリ手段への書き込み、読み出しを制御するものであって、前記メモリ手段に書き込んだデータを読み出す際に、読み出し速度を水平周期と垂直周期とでパラボラ状に変調する書き込み・読み出し制御手段と、前記メモリ手段から読み出された信号を、アナログの輝度信号及び色差信号に変換するD/A変換手段とを具備したことを特徴とする歪補正回路。

【請求項2】前記書き込み・読み出し制御手段は、読み出し速度をパラボラ状に変調する際に、垂直周期の画面中央部で水平方向の変調速度を速くし、画面上下部で遅くし、また、水平周期の画面中央部で変調速度を遅くし、画面左右部で速くし、かつ、垂直周期の画面中央部と上下部でも水平周期において、画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を速くするようにして、インナーピンクッション歪を補正することを特徴とする請求項1記載の歪補正回路。

【請求項3】前記書き込み・読み出し制御手段は、垂直周期の画面中央部で水平方向の変調速度を遅くし、画面上下部で速くし、また、水平周期の画面中央部で変調速度を遅くし、画面左右部で速くし、かつ、垂直周期の画面中央部と上下部でも水平周期において、画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を遅くするようにして、インナーパラレル歪補正を行うことを特徴とする請求項1記載の歪補正回路。

【請求項4】前記書き込み・読み出し制御手段は、水平同期信号に基づき、第1のタイミング信号と水平走査周波数の所定倍の周波数の書き込み用の第1のクロックと水平走査周波数の前記とは異なる所定倍の周波数の第2のクロックとを発生するクロック発生回路と、前記第2のクロックに基づいてクロックを発振するもので、その発振周波数が水平周期と垂直周期とでパラボラ状に変調されるデジタル制御発振器と、

前記水平同期信号に基づいて水平周期のパラボラ波信号を発生して、前記デジタル制御発振器に供給する水平パラボラ発生回路と、垂直同期信号に基づいて垂直周期のパラボラ波信号を発生して、前記デジタル制御発振器に供給する垂直パラボラ発生回路と、

前記デジタル制御発振器の出力をアナログ信号に変換し、読み出しクロックとして前記メモリ手段に出力するD/A変換器と、

前記第1のタイミング信号及び前記第1のクロックに基づいて書き込みタイミング信号を発生する一方、前記第

1のタイミング信号及び前記D/A変換器からの読み出しクロックに基づいて読み出しタイミング信号を発生するタイミング発生回路とを具備したことを特徴とする請求項1記載の歪補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、テレビジョン受像機などに搭載されて画面歪を補正する歪補正回路に関する。

【0002】

【従来の技術】従来、カラー受像管の偏向では、蛍光面の曲率半径は偏向中心から蛍光面までの管軸上の距離に比べて大きいので（蛍光面はほぼ平坦）、蛍光面上のラスターは糸巻き状に歪む。この糸巻き歪は、ピンクッション歪とも呼ばれている。このピンクッション歪に対して、画面全体に均一にピンクッション歪補正をかけても画面周辺部と中央部の歪みが異なり、画面周辺部に対して中央部にピンクッション歪が発生（以下、インナーピンクッション歪という）する。

【0003】図7は、ダイオードモジュレータ回路と呼ばれる電圧変調型の歪補正回路を示している。ここでは、ネガティブ方式のダイオードモジュレータ回路について説明する。

【0004】図7において、入力端子1には水平周期のパルスが供給され、水平出力トランジスタQ1のベースに入力される。水平出力トランジスタQ1のコレクタ・エミッタ間に並列にダンパダイオードD1がカソードがコレクタ側にくるように接続され、さらに並列に共振コンデンサC2が接続され、さらに並列に水平偏向コイルLYと、リニアリティコイルL1及びダンピング抵抗R1の並列回路と、S字補正コンデンサC4、C5との直列回路が接続されている。

【0005】また、水平出力トランジスタQ1のコレクタは、フライバックトランスFBTの一次巻線T1を介して電源端子2に接続され、電源電圧VBが供給されるようになっている。さらに、水平出力トランジスタQ1のコレクタと基準電位点との間には共振コンデンサC1が接続されている。

【0006】そして、水平出力トランジスタQ1のエミッタは変調用のダイオードD2と共振コンデンサC3から成る並列回路を介して基準電位点に接続されると共に、変調用コイルL3及び変調用コンデンサC6を介して基準電位点に接続されている。また、前記S字補正コンデンサC4と前記S字補正コンデンサC5の接続点Aは、コイルL2を介して基準電位点に接続されている。

【0007】変調用コイルL3及び変調用コンデンサC6の接続点Bは、抵抗R2及びトランジスタQ2のコレクタ・エミッタ路を介して基準電位点に接続されている。トランジスタQ2のベースに接続した端子3には、垂直周期のパラボラ波電圧を発生する図示しないパラボ

ラ波発生回路が接続されている。

【0008】上記の回路は、水平出力トランジスタQ1にダンパダイオードD1及び共振コンデンサC2を並列に接続した水平出力回路であり、さらに歪補正するための歪補正回路をS字補正コンデンサC4、C5の周辺部分に接続した構成となっている。S字補正コンデンサはC4、C5に分割されており、その接続点Aと基準電位点間にコイルL2が挿入されており、S字補正コンデンサC5の一端(Q1のエミッタ)と基準電位点間に歪補正回路としてのコイルL3、コンデンサC6の直列回路、及び共振コンデンサC3が並列に接続して、歪補正を行っている。また、ダイオードD2は、トランジスタQ1のエミッタに負電圧が発生するため、水平出力トランジスタQ1の動作を保証すると共にこの電位を保証するために設けてある。

【0009】水平走査期間において、水平出力トランジスタQ1またはダンパダイオードD1を介して水平偏向電流が流れる。S字補正コンデンサC5よりコイルL2を介して電流I1が流れ、S字補正コンデンサC4とC5に蓄積された電荷が水平偏向電流IyとしてコイルL1を介して水平偏向コイルLyに流れる。水平偏向コイル側のS字補正コンデンサC4には水平偏向電流Iyのみが流れ、S字補正コンデンサC5にはI1とIyの両方の電流が流れる。トランジスタQ2のベースに接続した端子3にはパラボラ波発生回路から垂直周期のパラボラ波電圧が供給され、コンデンサC6の端子電圧Vmをパラボラ状に変調する。コンデンサC6に発生する電圧Vmを垂直周期でパラボラ状に変調すると水平偏向電流Iyの電源となるS字補正コンデンサ電圧(Vc5+Vc4)は、 $Vc5+Vc4=VB+Vm$ のように変調される。このとき、S字補正コンデンサの容量については、C5 << C4の条件に設定してあるため、Vc4は無視できるため、Vmを変調することによりVc5が垂直周期でパラボラ状に変調される。これにより、S字補正コンデンサC5の両端には図8に示すような垂直周期でパラボラ状に変調された水平周期の電圧Vc5が発生する。

【0010】この垂直周期でパラボラ状に変調された電圧波形により、画面上下部と画面中央部で水平リニアリティが異なり、画面中央部で中縮みするインナーピンクッション歪について、画面上では図9(a)のように点線から実線のように均一なピンクッション歪に補正される。そして、さらに偏向ヨークによる磁界分布調整を行って図9(b)のように歪補正される。

【0011】図10は、ポジティブ方式のダイオードモジュレータ回路の回路図を示している。図7におけるネガティブ方式のダイオードモジュレータ回路の接続と比べ、水平出力トランジスタQ1のエミッタが基準電位点に接続され、ダイオードD2がダンパダイオードD1と同じ向きで直列に接続されている点で異なっている。また、水平出力トランジスタQ1のコレクタと基準電位点

との間に共振コンデンサC1を設けていない点で異なっている。図7の回路がC点において負の電位であることを用いて歪補正を行ったのに対し、図10ではC点が正の電圧であることを用いて歪補正を行っている。

【0012】しかしながら、図7または図10の回路では、コイルやコンデンサなどの大物部品を使用しているため、基板面積的にもコスト的に不利で、しかも機種変更などにより、偏向ヨークのインダクタンスや受像管の曲率が変更される度に、部品定数を設計する必要があり、作業が繁雑であった。

【0013】

【発明が解決しようとする課題】上記の如く、従来の回路では、使用部品が大きく、コストも高く、偏向ヨークのインダクタンスや受像管の曲率が変更される度に、部品定数の設定を行う必要があり、設計する上で繁雑であった。

【0014】そこで、本発明は、上記の問題に鑑み、繁雑な部品定数の設計を要することなく、画面歪を補正することができる歪補正回路を提供することを目的とするものである。

【0015】

【課題を解決するための手段】請求項1記載の発明による歪補正回路は、アナログ方式の輝度信号及び色差信号を入力し、それぞれデジタル信号に変換するA/D変換手段と、A/D変換された信号を記憶するメモリ手段と、前記メモリ手段への書き込み、読み出しを制御するものであって、前記メモリ手段に書き込んだデータを読み出す際に、読み出し速度を水平周期と垂直周期とでパラボラ状に変調する書き込み・読み出し制御手段と、前記メモリ手段から読み出された信号を、アナログの輝度信号及び色差信号に変換するD/A変換手段とを具備したものである。

【0016】請求項2記載の発明は、請求項1記載の歪補正回路において、前記書き込み・読み出し制御手段は、読み出し速度をパラボラ状に変調する際に、垂直周期の画面中央部で水平方向の変調速度を速くし、画面上下部で遅くし、また、水平周期の画面中央部で変調速度を遅くし、画面左右部で速くし、かつ、垂直周期の画面中央部と上下部でも水平周期において、画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を速くするようにして、インナーピンクッション歪を補正することを特徴とする。

【0017】請求項3記載の発明は、請求項1記載の歪補正回路において、前記書き込み・読み出し制御手段は、垂直周期の画面中央部で水平方向の変調速度を遅くし、画面上下部で速くし、また、水平周期の画面中央部で変調速度を遅くし、画面左右部で速くし、かつ、垂直周期の画面中央部と上下部でも水平周期において、画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を遅くするようにし

て、インナーバレル歪補正を行うことを特徴とする。

【0018】請求項4記載の発明は、請求項1記載の歪補正回路において、前記書き込み・読み出し制御手段は、水平同期信号に基づき、第1のタイミング信号と水平走査周波数の所定倍の周波数の書き込み用の第1のクロックと水平走査周波数の前記とは異なる所定倍の周波数の第2のクロックとを発生するクロック発生回路と、前記第2のクロックに基づいてクロックを発振するもので、その発振周波数が水平周期と垂直周期とでパラボラ状に変調されるディジタル制御発振器と、前記水平同期信号に基づいて水平周期のパラボラ波信号を発生して、前記ディジタル制御発振器に供給する水平パラボラ発生回路と、垂直同期信号に基づいて垂直周期のパラボラ波信号を発生して、前記ディジタル制御発振器に供給する垂直パラボラ発生回路と、前記ディジタル制御発振器の出力をアナログ信号に変換し、読み出しクロックとして前記メモリ手段に出力するD/A変換器と、前記第1のタイミング信号及び前記第1のクロックに基づいて書き込みタイミング信号を発生する一方、前記第1のタイミング信号及び前記D/A変換器からの読み出しクロックに基づいて読み出しタイミング信号を発生するタイミング発生回路とを具備したものである。

【0019】請求項1記載の発明においては、A/D変換された輝度信号と色差信号を一度メモリ手段にメモリし、メモリした信号を読み出す際には、その読み出し速度を水平周期と垂直周期でパラボラ状に変調し、変調されたディジタル信号をD/A変換してアナログの輝度信号と色差信号に戻し、インナーピンクッション歪或いはインナーバレル歪を補正する。ディジタル処理によって映像信号自身に変調をかけることによって歪補正でき、従来のようなアナログ補正により発生する回路ドリフトがなく、繁雑なアナログ回路設計の必要がなくなる。

【0020】請求項2記載の発明においては、インナーピンクッション歪を補正できる。

【0021】請求項3記載の発明においては、インナーバレル歪を補正できる。

【0022】請求項4記載の発明においては、読み出しクロックの発生を、ディジタル制御発振器でディジタル的に行い、かつ読み出しクロックの周波数を、水平周期と垂直周期とでパラボラ状に精確に変調することができる。

【0023】

【発明の実施の形態】発明の実施の形態について図面を参照して説明する。図1は本発明の一実施の形態の歪補正回路を示すブロック図であり、図2は図1の歪補正回路が用いられるテレビジョン受像機などのディスプレイ装置を示すブロック図である。図2のディスプレイ装置から説明する。

【0024】図2において、ディスプレイ装置は、アナログ方式の輝度信号Y及び色差信号R-Y, B-Yを入

力し、それぞれディジタル信号に変換して、メモリ手段に書き込み、その後メモリ手段から読み出しを行う際に、水平同期信号HD, 垂直同期信号VDに基づいた信号でY, R-Y, B-Yの各信号の読み出し速度を水平周期（以下、1Hという）と垂直周期（以下、1Vという）とでパラボラ状に変調して読み出し、再びアナログの輝度信号Y及び色差信号R-Y, B-Yに変換して出力する歪補正回路100と、歪補正回路100から出力された輝度信号Y及び色差信号R-Y, B-Yを入力し、R（赤）、G（緑）、B（青）の3原色信号を出力するビデオ出力回路200と、前記水平同期信号HD, 垂直同期信号VDを入力し、陰極線管（CRT）400の偏向ヨークに水平偏向電流、垂直偏向電流を供給する偏向回路300と、CRT400とで構成されている。偏向回路300は、歪補正回路（DPC回路）を含んでおり、インナーピンクッション歪やインナーバレル歪の補正機能を有している。

【0025】図1において、入力端子101にはアナログの輝度信号Yが入力され、A/D変換器102でディジタル輝度信号103に変換されて、メモリ手段としてのラインメモリ回路128に供給される。また、入力端子104, 105にはそれぞれアナログの色差信号R-Y, B-Yが入力され、多重されてA/D変換器108に供給され、ここでディジタル色信号109に変換されて、ラインメモリ回路128に供給される。

【0026】ラインメモリ回路128へのディジタル信号の書き込みは、タイミング回路125からの書き込みタイミング信号126に従って、クロック発生回路111からの書き込みクロック112を用いて行われる。

【0027】入力端子110には水平同期信号HDが入力され、クロック発生回路111に供給されている。クロック発生回路111は、書き込み、読み出しタイミングを与えるためのタイミング信号112のほか、水平走査周波数fHの910倍の周波数の910·fHクロック（113）と、水平走査周波数fHの2730倍の周波数の2730·fHクロック（114）を発生する。

【0028】タイミング信号112はタイミング発生回路125に供給されている。910·fHクロック（113）は前記ラインメモリ回路128に書き込みクロックとして供給される一方、タイミング発生回路125に供給されている。タイミング発生回路125は、前記タイミング信号112と前記910·fHクロック（113）を用いて、910·fHクロック（113）に同期した書き込みタイミング信号126を発生して、ラインメモリ回路128に供給する。

【0029】2730·fHクロック（114）は、ディジタル制御発振器1150に供給されている。ディジタル発振器115は、2730·fHクロック（114）に基づいて読み出し用のクロックをディジタル的に発生するもので、その読み出しクロック周波数つまり読

み出し速度を、水平パラボラ発生回路117からの水平パラボラ波信号と垂直パラボラ発生回路118からの垂直パラボラ波信号とを用いて1Hと1Vで変調する機能を有している。

【0030】水平パラボラ発生回路117は、入力端子110に供給される水平同期信号HDに基づいて1Hのパラボラ波信号を発生し、制御信号としてディジタル制御発振器115に供給する。また、垂直パラボラ発生回路118は、入力端子116に供給される垂直同期信号VDに基づいて1Vのパラボラ波信号を発生し、制御信号としてディジタル制御発振器115に供給する。ディジタル制御発振器115から出力される1Hと1Vでパラボラ状に速度変調されたディジタルのクロック信号120は、D/A変換器121でアナログのクロック信号122に変換され、波形成形回路123で波形成形された後、読み出しクロック124としてラインメモリ回路128に供給される一方前記タイミング発生回路125にも供給される。タイミング発生回路125は、タイミング信号112と読み出しクロック124を用いて、読み出しクロック124に同期した読み出しタイミング信号127を発生して、ラインメモリ回路128に供給する。符号110～127に示す回路部分は、書き込み・読み出し制御手段を構成している。

【0031】ラインメモリ回路128では、記憶されているディジタル輝度信号Y及びディジタル色信号R-Y, B-Yが、その読み出し速度が変調されて、信号129, 130として読み出され、ディジタル輝度信号129はD/A変換器131に、ディジタル色信号130はD/A変換器133, 134に供給される。

【0032】D/A変換器131では、ディジタル輝度信号をアナログの輝度信号Yに変換し、出力端子132から出力する。D/A変換器133では、多重されているディジタル色信号からR-Yのディジタル色差信号を分離し、アナログの色差信号R-Yに変換し、出力端子135から出力する。D/A変換器134では、多重されているディジタル色信号からB-Yのディジタル色差信号を分離し、アナログの色差信号B-Yに変換し、出力端子136から出力する。

【0033】次に、図1の動作を、図4(a)に示すようなインナーピンクッション歪を補正する場合について、図3(a), (b)及び図4(a)～(c)を参照しながら説明する。

【0034】入力端子101, 104, 105にアナログ方式の輝度信号Y及び色差信号R-Y, B-Yを入力し、入力端子110, 116に水平同期信号HD、垂直同期信号VDを入力する。アナログの輝度信号Y及び色差信号R-Y, B-YをそれぞれA/D変換器102, 108でディジタル信号に変換して、ラインメモリ回路128に書き込む。このときの書き込みは、タイミング発生回路125からの書き込みタイミング信号とクロッ

ク発生回路111からの書き込みクロック113によつて行われる。書き込みクロック113は、910·fHの一定周波数のクロックである。

【0035】そして、読み出しを行う際には、2730·fHのクロック114に基づいてディジタル制御発振器115がディジタルの読み出しクロックを発振するが、その際に水平パラボラ発生回路117と垂直パラボラ発生回路118からの1Hのパラボラ波信号と1Vのパラボラ波信号を制御信号として用いて、発振信号の周波数(即ち、読み出し周波数)を水平周期及び垂直周期で変調する。その変調されたディジタルのクロック信号は、D/A変換器121でアナログ信号に変換され、波形成形された後、読み出しクロック124としてラインメモリ回路128に供給される。ラインメモリ回路128に記憶されたディジタル輝度信号及びディジタル色信号は、読み出しクロック124により読み出し速度が1Hと1Vとでパラボラ状に変調して読み出される。

【0036】図3(a)に、1Vでの読み出し速度の変調波形を示し、図3(b)に1Hでの読み出し速度の変調波形を示す。インナーピンクッション歪を補正するためには、図3(a)に示すように1Vの画面中央部で水平方向の変調速度を速くし、画面上下部で遅くする。また、図3(b)に示すように1Hの画面中央部で変調速度を遅くし、画面左右部で速くする。かつ、図3(b)に示すように1Vの画面中央部と上下部でも1Hの期間において、変調速度を変える。つまり、図3(b)に示すように画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を速くし、画面の上下部の走査ラインでは画面中央部の走査ラインに比し、画面左右部において変調速度を遅くするようとする。

【0037】ラインメモリ回路128より読み出されたディジタル輝度信号及びディジタル色信号は、D/A変換器131, 133, 134で再びアナログの輝度信号Y及び色差信号R-Y, B-Yに変換されて、図示しないビデオ出力回路に供給され、CRT上に表示される。

【0038】以上述べたラインメモリ回路128における1V, 1Hでの読み出し速度変調の回路を利用することにより、CRT上に表示される画像は、図4(c)に示すように歪補正される。即ち、上記の歪補正されない状態では、表示される画像は図4(a)に示すようなインナーピンクッション歪を伴つたものであるが、本実施の形態の歪補正回路100を用いることにより、図4(b)に示すような均一なピンクッション歪に補正される。さらに確実を期するため偏向回路300内の歪補正回路によってピンクッション歪の補正を行うことによって図4(c)に示すようにピンクッション歪の除去された画像が表示される。

【0039】次に、図6(a)に示すようなインナーバレル歪を補正する場合について、図5(a), (b)及び図6(a)～(c)を参照しながら説明する。

【0040】歪補正を行わない状態でインナーバレル歪が生じる場合には、図5(a)のように読み出し速度の変調波形を、図3(a)の場合とは極性反転することにより、歪補正することができる。

【0041】図5(a)に、1Vでの読み出し速度の変調波形を示し、図5(b)に1Hでの読み出し速度の変調波形を示す。インナーバレル歪を補正するためには、図5(a)に示すように1Vの画面中央部で水平方向の変調速度を遅くし、画面上下部で速くする。また、図5(b)に示すように1Hの画面中央部で変調速度を遅くし、画面左右部で速くする。かつ、図5(b)に示すように1Vの画面中央部と上下部でも1Hの期間において、変調速度を変える。つまり、図5(b)に示すように画面の中央部の走査ラインでは画面上下部の走査ラインに比し、画面左右部において変調速度を遅くし、画面の上下部の走査ラインでは画面中央部の走査ラインに比し、画面左右部において変調速度を速くするようとする。

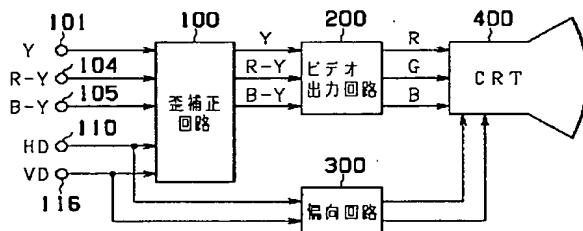
【0042】以上述べたラインメモリ回路128における1V, 1Hでの読み出し速度変調の回路を利用するこことにより、CRT上に表示される画像は、図6(c)に示すように歪補正される。即ち、上記の歪補正されない状態では、表示される画像は図6(a)に示すようなインバーバレル歪を伴つたものであるが、本実施の形態の歪補正回路100を用いることにより、図6(b)に示すような均一なバレル歪に補正される。さらに確実を期すため偏向回路300内の歪補正回路によってバレル歪の補正を行うことによって図6(c)に示すようにバレル歪の除去された画像が表示される。

[0 0 4 3]

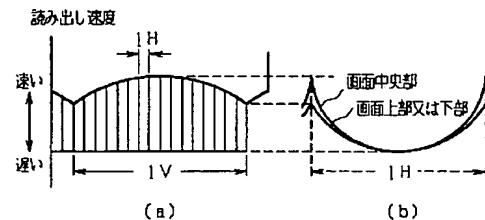
【発明の効果】以上述べたように本発明によれば、従来は偏向回路にてアナログ補正により行っていたインナーピンクッション歪補正或いはインナーバレル歪補正を、ディジタル処理によって映像信号自身に変調をかけることで補正できるので、従来のようにアナログ補正により発生する回路ドリフトがなく、繁雑なアナログ回路設計の必要がなくなるという効果がある。

【図面の簡単な説明】

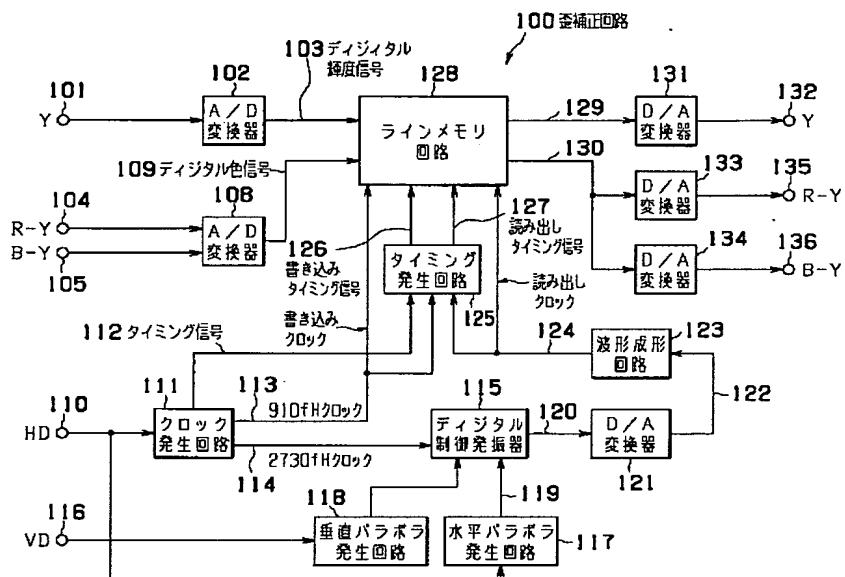
[図2]



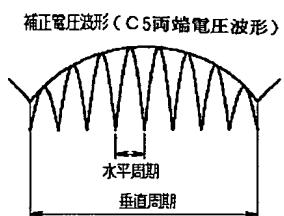
【図3】



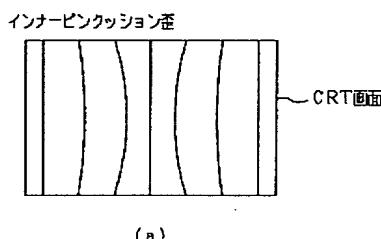
〔図1〕



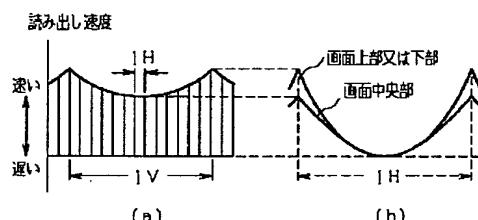
〔四〕 8



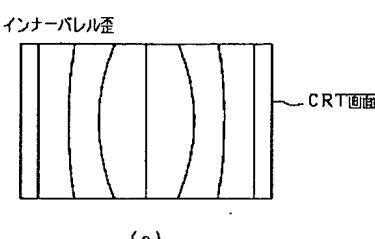
【図4】



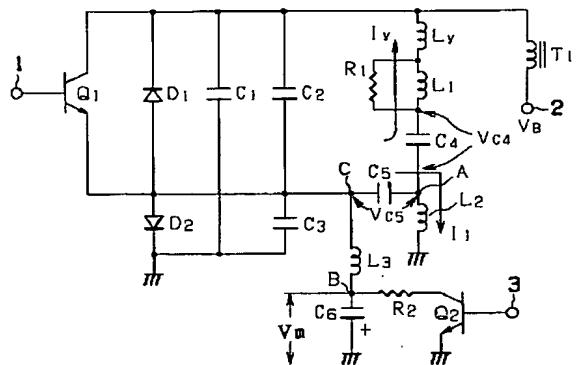
【図 5】



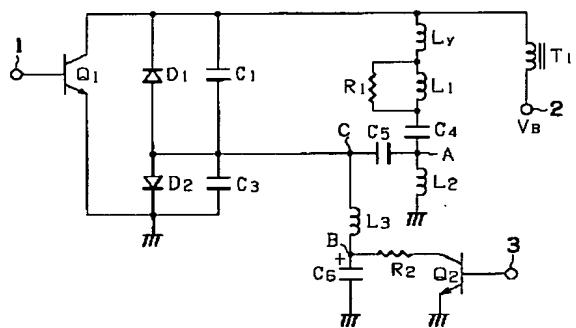
[図6]



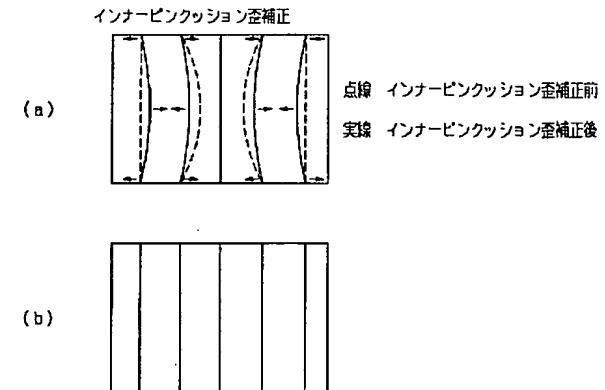
【図 7】



【図10】



【図9】



(b)